

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-207423

(43)Date of publication of application : 13.08.1993

(51)Int.Cl.

H04N 5/95

G11B 20/06

H04N 9/89

(21)Application number : 04-014970

(71)Applicant : SHARP CORP

(22)Date of filing : 30.01.1992

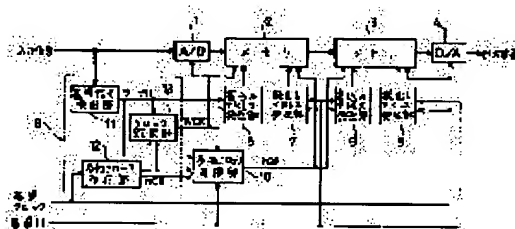
(72)Inventor : HASHIMOTO MAKOTO
KOIDE TAKESHI
SUZUKI TAKEO

(54) TIME AXIS CORRECTION DEVICE

(57)Abstract:

PURPOSE: To avoid a specific disturbance caused in a reproduced picture by eliminating a velocity error with high accuracy.

CONSTITUTION: A clock synchronously with a tape H extracted by a reference signal detection section 11 from a polyphase clock nCK generated by a clock selection section 13 based on a reference clock and an input signal is written in a memory 2 by the write clock WCK. A polyphase clock changeover section 10 selects a polyphase clock nCK in response to number of write clocks WCK per 1 H of the input signal and outputs the result to obtain a regular prescribed correction clock fCK whose clock number per 1H. The input signal is read from the memory 2 by using the correction clock fCK and after the input signal is written in the memory 3, the input signal is read from the memory 3 by using the reference clock.



LEGAL STATUS

[Date of request for examination]

02.02.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3095853

[Date of registration]

04.08.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-207423

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/95	A	7205-5C		
G 1 1 B 20/06	3 0 2	9196-5D		
H 0 4 N 9/89	C	9185-5C		

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号 特願平4-14970

(22)出願日 平成4年(1992)1月30日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 橋本 誠

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 小出 剛

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 鈴木 武夫

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

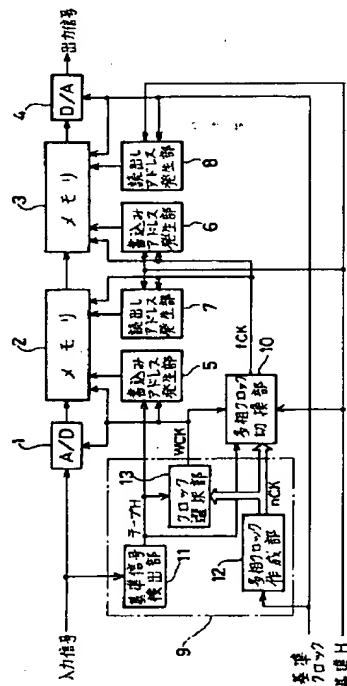
(74)代理人 弁理士 原 謙三

(54)【発明の名称】 時間軸補正装置

(57)【要約】

【構成】 クロック選択部13にて、基準クロックを基にして作成した多相クロックnCKから、基準信号検出部11により抜き出されたテプHに同期するクロックを書込みクロックWCKとして選択し、入力信号をこの書込みクロックWCKでメモリに書込む。多相クロック切換部12では、入力信号の1H当たりの書込みクロックWCKのクロック数に応じて多相クロックnCKを切り換えて出力し、正規の1H当たりのクロック数が一定の補正クロックfCKを得る。この補正クロックfCKで、メモリ2から入力信号を读出するとともに、メモリ3に入力信号を書込んだ後、基準クロックでメモリ3から入力信号を読み出す。

【効果】 ペロシティエラーを高精度に除去して、再生画像に生じる特有の乱れをなくすることができる。



【特許請求の範囲】

【請求項 1】入力信号を保持する第 1 メモリと、この第 1 メモリから読出された入力信号を保持して基準クロックで読出す第 2 メモリと、基準クロックを基にして位相の異なるクロックを複数作成する多相クロック作成手段と、この多相クロック作成手段により作成されたクロックから入力信号に付加されている基準信号にほぼ同期するクロックを上記第 1 メモリに入力信号を書込むためのクロックとして選択するクロック選択手段と、このクロック選択手段により選択されたクロックの上記基準信号で区切られる期間当たりのクロック数に基づく間隔で上記多相クロック作成手段により作成されたクロックを切り換えることにより、所定期間当たりのクロック数が一定となるクロックを作成し、このクロックを上記第 1 メモリから入力信号を読出させるとともに上記第 2 メモリに入力信号を書込むためのクロックとして出力する多相クロック切換手段とを備えていることを特徴とする時間軸補正装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、VTR等の情報再生機能を有する装置において再生信号の時間軸を補正する時間軸補正装置に係り、詳しくは、瞬時的に生じる速度誤差を除去するようにした時間軸補正装置に関するものである。

【0002】

【従来の技術】例えば、VTRにおいては、磁気テープと再生ヘッドとの相対速度の変動等により、再生信号にジッタとよばれる時間軸誤差が生じ、そのまま再生を行うと再生画像が横ゆれ等により乱れてしまう。このため、従来のVTRには、以下に説明するように、時間軸誤差を除去する時間軸補正装置が設けられている。

【0003】この時間軸補正装置では、例えば、図 7 に示すように、入力信号（再生信号）を入力信号に同期した書込みクロックWCKでA/D変換器（図中、A/D）31によりデジタル化してメモリ32に書込むことによりジッタを除去し、その入力信号を基準クロックで読出してD/A変換器（図中、D/A）33によりアナログに変換するようになっている。

【0004】メモリ32の書込みアドレスは、上記の書込みクロックWCKに基づいて書込みアドレス発生部34で発生したものであり、この書込みアドレス発生部34は、再生水平同期信号（以降、適宜、テープHと称する）で1H毎にクリアされる。また、メモリ32から入力信号を読出すときの読出しアドレスは、基準クロックに基づいて読出しアドレス発生部35で発生し、この読出しアドレス発生部35は、安定した基準水平同期信号（以降、適宜、基準Hと称する）でクリアされる。

【0005】このような時間軸補正装置においては、ジッタを除去するため、書込みクロックWCKを正確に入

力信号に同期させる必要がある。そこで、上記の時間軸補正装置は、多相クロック作成部36、基準信号検出部37およびクロック選択部38を備え、これらにより、以下のようにして書込みクロックWCKを発生するように構成されている。

【0006】多相クロック作成部36では、入力信号と位相的に非同期な安定した基準クロックを基にして微少な位相差を有した複数の多相クロックが作成される。一方、基準信号検出部37により入力信号からテープHが検出されて抜き出される。そして、クロック選択部38にて、多相クロックから基準信号に位相的に最も近いクロックが選択されて、入力信号に同期した書込みクロックWCKとして出力される。

【0007】

【発明が解決しようとする課題】ところが、上記のようにして得られた書込みクロックWCKは、基準クロックと同じ周波数であるため、ベロシティエラーとよばれる1Hの間に生じる瞬時的な速度誤差が生じた場合、入力信号の1Hの長さが変動し、書込みクロックWCKが正確に入力信号に同期しなくなる。このため、メモリ32に入力信号の書込みを行うための書込みアドレスの数に変動し、ベロシティエラーを正確に除去することができなくなるといふ不都合が生じる。

【0008】ベロシティエラーが累積すると、再生信号は、1Hの後半のジッタが大きなものとなって1Hの長さが変化する。そして、その再生信号をモニタに表示させると、再生画像の右端が不揃いになるベロシティエラー特有の乱れが生じて画質低下を来すことになる。

【0009】本発明は、上記の事情に鑑みてなされたものであって、ベロシティエラーを含むジッタを1H全体にわたって正確に除去して、時間軸補正を高精度に行うことを目的としている。

【0010】

【課題を解決するための手段】本発明の時間軸補正装置は、上記の課題を解決するために、入力信号を保持する第 1 メモリと、この第 1 メモリから読出された入力信号を保持して基準クロックで読出す第 2 メモリと、基準クロックを基にして位相の異なるクロックを複数作成する多相クロック作成手段と、この多相クロック作成手段により作成されたクロックから入力信号に付加されている水平同期信号等の基準信号にほぼ同期するクロックを上記第 1 メモリに入力信号を書込むためのクロックとして選択するクロック選択手段と、このクロック選択手段により選択されたクロックの上記基準信号で区切られる期間（例えば、1H）当たりのクロック数に基づく間隔で上記多相クロック作成手段により作成されたクロックを切り換えることにより、所定期間（例えば、正規の1H）当たりのクロック数が一定となるクロックを作成し、このクロックを上記第 1 メモリから入力信号を読出させるとともに上記第 2 メモリに入力信号を書込むため

のクロックとして出力する多相クロック切換手段とを備えていることを特徴としている。

【0011】

【作用】上記の構成をVTRに適用した場合、多相クロック作成手段で作成された複数のクロック（多相クロック）から、クロック選択手段により、入力信号となる再生信号の基準信号、例えば水平同期信号に同期するものが書き込みクロックとして選択される。入力信号は、この書き込みクロックにより第1メモリに書込まれ、この時点で書き込みクロックの1クロック以下のジッタまでが除去されるが、残留しているベロシティエラーの影響により1Hの後半部の長さが変動し、全体として1Hの長さが正規の長さに対し変化したものとなる。

【0012】また、多相クロック切換手段により、上記の書き込みクロックの入力信号の1H当たりのクロック数に基づいて、所定期間（正規の1H）当たりのクロック数が一定となるように多相クロックが切り換えられて出力される。具体的には、入力信号の1H当たりのクロック数の増減分に応じて多相クロックの切り換えのタイミングを制御してクロックの位相を変化させることにより、正規の1H当たりのクロック数が一定のクロックが作成される。

【0013】したがって、入力信号は、上記のようにして作成されたクロックにより第1メモリから読出されると、1Hが正規の長さに補正される。引続き、入力信号は、同じクロックで第2メモリに書込まれると、その時点でベロシティエラーが除去される。そして、入力信号は、安定した基準クロックにより一定の間隔で第2メモリから読出されると、ベロシティエラーが除去されて、高精度に時間軸補正が施されることになる。

【0014】このように、上記の構成は、入力信号に同期するクロックを用いて第1メモリに入力信号を書込んだうえ、入力信号の1H当たりのクロック数の増減分をベロシティエラーのデータとして、これを基にクロック数を補正し、さらに、このクロックを用いて入力信号の第1メモリからの読出しおよび第2メモリへの書き込みを行うようにしている。それゆえ、上記の構成によれば、ベロシティエラーを確実に除去することができる。

【0015】

【実施例】本発明をVTRの時間軸補正装置に適用した一実施例について図1ないし図6に基づいて説明すれば、以下の通りである。

【0016】本実施例に係る時間軸補正装置は、図1に示すように、A/D変換器（図中、A/D）1、メモリ2・3、D/A変換器（図中、D/A）4、書き込みアドレス発生部5・6、読出しアドレス発生部7・8、書き込みクロック発生部9、および多相クロック切換部10により構成されている。

【0017】A/D変換器1は、入力信号としての再生信号をデジタルに変換する回路であり、書き込みクロック

発生部9にて発生する書き込みクロックWCKで標準化を行うようになっている。第1メモリとしてのメモリ2は、A/D変換器1から出力されるデジタルデータを保持する半導体メモリであり、第2メモリとしてのメモリ3は、メモリ2から読出されるデジタルデータを保持する半導体メモリである。上記メモリ2・3は、ライン単位でデジタルデータの書き込みおよび読出しを行うようになっている。D/A変換器4は、メモリ3から読出されるデジタルデータを基準クロックでアナログに変換する回路である。

【0018】書き込みアドレス発生部5は、メモリ2にデジタルデータを書込ませる際に、メモリ2に与える書き込みアドレスを書き込みクロックWCKに基づいて発生するアドレスカウンタである。この書き込みアドレス発生部5は、後述する書き込みクロック発生部9の基準信号検出部11により検出されたテープHのタイミングでクリアされ、書き込みアドレスの発生開始時期を1H毎にコントロールするようになっている。

【0019】読出しアドレス発生部7は、メモリ2からデジタルデータを読出させる際に、メモリ2に与える読出しアドレスを多相クロック切換部10で発生する補正クロックfCKに基づいて発生するアドレスカウンタである。この読出しアドレス発生部7は、基準Hのタイミングでクリアされ、書き込みアドレスの発生開始時期を1H毎にコントロールするようになっている。

【0020】書き込みアドレス発生部6は、メモリ3に与える書き込みアドレスを補正クロックfCKに基づいて発生するアドレスカウンタである。また、読出しアドレス発生部8は、メモリ3に与える読出しアドレスを基準クロックに基づいて発生するアドレスカウンタである。上記書き込みアドレス発生部6および読出しアドレス発生部8は、ともに基準Hのタイミングでクリアされ、読出しおよび書き込みアドレスの発生開始時期を1H毎にコントロールするようになっている。

【0021】書き込みクロック発生手段としての書き込みクロック発生部9は、基準信号検出部11と、多相クロック作成部12と、クロック選択部13とからなっている。

【0022】基準信号検出部11は、再生信号に付加されている基準信号としてのテープHを取り出す回路である。多相クロック作成部12は、基準クロックの位相を僅かずつ等しく遅延させて位相の異なるn個の多相クロックnCKを作成する回路である。クロック選択部13は、多相クロック作成部12で作成された多相クロックnCKから、基準信号検出部11で検出されたテープHに位相的に最も近いクロックを書き込みクロックWCKとして選択する回路である。

【0023】多相クロック切換手段としての多相クロック切換部10は、多相クロック作成部12により作成された多相クロックnCKを、入力信号の1H当たりの書

込みクロックWCKのクロック数に基づいて切り換え、メモリ2に与える読出しクロックおよびメモリ3に与える書込みクロックとなる補正クロックfCKを作成するように構成されている。

【0024】上記多相クロック切換部10は、図2に示すように、基準パルス作成部14と、ゲートクロック発生部15と、ゲート作成部16と、マルチプレクサ17と、出力ゲート部18とからなっている。基準パルス作成部14は、基準Hを基にして、パルス幅が基準クロックの1クロックと同じパルス幅で1H周期の負の基準パルスを作成する回路である。

【0025】ゲートクロック発生部15は、書込みクロックWCKおよびテープHに基づいてゲート作成部16に与えるゲートクロックGCKを発生する回路である。ゲートクロック発生部15は、1Hカウンタ19、ラッチ20、ROM21、ラッチ22、制御カウンタ23、NOTゲート24・25およびINH(INHIBIT)ゲート26により構成されている。

【0026】1Hカウンタ19は、クロック端子CKに

$$\alpha = C - a / \{n | a - b|\}$$

ただし、上式においては、 $a - b = 0$ のとき $\alpha = 0$ とする。

【0028】ここで、 a/n は、カウント値aからカウント値bが1クロックずれた場合にゲートクロックGCK(キャリアアウト端子COの出力)が出力される間隔を定める基準クロックのクロック数を表している。

【0029】例えば、カウント値aを1530とし、相数nを30とすれば、 $a/n = 51$ となり、基準クロックの51個毎に制御カウンタ23からゲートクロックGCKを出力させる。したがって、 $a / \{n | a - b|\}$ により、カウント値aとカウント値bとの差に対する、ゲートクロックGCKが出力される間隔を定める基準クロックのクロック数が求められる。また、式(1)の演算によれば、出力データ α は、カウント値bのカウント値aに対するずれが大きいほど大きくなり、より短い間隔でゲートクロックGCKを出力させるような値となる。

【0030】また、ROM21は、カウント値bの大きさに応じて、 $a - b < 0$ のとき“H”レベルとなる一方、 $a - b \geq 0$ のとき“L”レベルとなるようなセレクト信号 β を出力するようになっている。なお、セレクト信号 β は、 $a - b < 0$ のときと $a - b \geq 0$ のときで状態が異なっておればよいので、上記と逆の関係で状態が切り換えられるものであっても差し支えない。

【0031】ラッチ22は、ROM21の出力データ α およびセレクト信号 β をNOTゲート25により反転された基準パルスのタイミングで保持するようになっている。制御カウンタ23は、補正クロックfCKをカウントするカウンタであり、ロード端子LOADにINHゲート26の出力パルスが入力されるようになっている。

書込みクロックWCKが入力されるとともに、クリア端子CLRにNOTゲート24を介してテープHが入力されるようになっており、テープHでクリアされるまでの1H間の書込みクロックWCKのクロック数を計数するカウンタである。ラッチ20は、1Hカウンタ19のカウント値bをテープHのタイミングで保持するようになっている。

【0027】ROM21は、1Hカウンタのカウント値bを入力データとする演算テーブルを構成しており、上記カウント値bに基づく式(1)による演算結果の出力データ α を格納している。なお、式(1)においては、正規の1H当たりの基準クロックのカウント値をaとし、後述する制御カウンタ23が0からカウントアップしてキャリアアウト端子COの出力が“H”レベルとなるまでの最大カウント値をCとし、nを多相クロックnCKの相数としている。最大カウント値Cは、例えば、制御カウンタ23が12ビットカウンタの場合\$FFFとなる。

…(1)

この制御カウンタ23は、INHゲート26の出力パルスによりラッチ22を経た出力データ α をロードするとともに、ロードされた出力データ α から最大カウント値Cまでのカウントが終了する毎に、キャリアアウト端子COより“H”レベルのゲートクロックGCKを出力するようになっている。上記INHゲート26は、基準パルスおよびゲートクロックGCKの論理和をとるゲートである。

【0032】ゲート作成部16は、図3に示すように、フリップフロップFF1～FFnにより構成されている。フリップフロップFF1～FFnは、クロック端子CKにゲートクロックGCKが入力されるとともに、クリア端子CLRに基準パルスが入力されるようになっており、フリップフロップFF2～FFnは、プリセット端子PRが“H”レベルに固定されている。また、フリップフロップFF1は、プリセット端子PRにも基準パルスが入力されるようになっている。上記フリップフロップFF1～FFnは、それぞれの出力端子Qが次段のフリップフロップFF2～FFn・FF1の入力端子Dに接続されている。

【0033】このように構成されるゲート作成部16は、フリップフロップFF1～FFnの各出力端子Qから上記ゲートクロックGCKにより順次シフトするゲートパルスG1～Gnを発生するようになっている。すなわち、基準パルスが入力されると、ゲートパルスG1のみが“H”レベルになるとともにゲートパルスG2～Gnが“L”レベルになり、以降ゲートクロックGCKの立ち上がり毎に“H”レベルになるゲートパルスG2～Gnが順次出力されるのである。

【0034】マルチプレクサ17には、ゲートパルスG

1 が入力端子 $A_1 \sim B_1$ に入力され、ゲートパルス G_2 が入力端子 $A_2 \sim B_n$ に入力され、以降ゲートパルス $G_3 \sim G_n$ が、それぞれ入力端子 $A_3 \sim A_n$ に入力されるとともに、入力端子 $B_{n-1} \sim B_2$ に入力されるようになっている。また、マルチプレクサ 17 は、セレクト信号 $SEL(\beta)$ が“H”レベルのとき、以下の (A) に示すように、入力端子 $B_1 \sim B_n$ に入力されるゲートパルス $G_1 \sim G_n$ を出力する一方、セレクト信号 SEL が“L”レベルのとき、以下の (B) に示すように、入力端子 $A_1 \sim A_n$ から入力されるゲートパルス $G_1 \sim G_n$ を出力するようになっている。

(A) $GA_1 = G_1, GA_2 = G_n, GA_3 = G_{n-1}, \dots, GA_n = G_2$

(B) $GA_1 = G_1, GA_2 = G_2, GA_3 = G_3, \dots, GA_n = G_n$

なお、マルチプレクサ 17 は、セレクト信号 SEL が上記と逆相で切り換わるものである場合、ゲートパルス $G_1 \sim G_n$ を、セレクト信号 SEL が“L”レベルのとき (A) の対応で出力し、セレクト信号 SEL が“H”レベルのとき (B) の対応で出力するように構成される。

【0035】出力ゲート部 18 は、ANDゲート $\&1 \sim \&n$ と、ORゲート 27 とからなっている。ANDゲート $\&1 \sim \&n$ は、一方の入力端子にそれぞれマルチプレクサ 17 のゲートパルス $GA_1 \sim GA_n$ が入力され、他方の入力端子にそれぞれ多相クロック nCK の各クロック $CK_1 \sim CK_n$ が入力されるようになっている。また、ORゲート 27 は、ANDゲート $\&1 \sim \&n$ の出力信号が入力されるようになっている。

【0036】上記の構成において、入力信号が入力されると、基準信号検出部 11 によりテープ H が抜き出される。一方、多相クロック作成部 12 では、基準クロックが遅延されて多相クロック nCK が作成される。すると、クロック選択部 13 では、多相クロック nCK からテープ H に同期するクロックが選択され、このクロックが書込みクロック WCK として出力される。

【0037】入力信号は、A/D変換器 1 により書込みクロック WCK でデジタル化され、デジタルデータとなってメモリ 2 に書込みクロック WCK のタイミングで書込まれる。このとき、入力信号は、テープ H および書込みクロック WCK に基づいて書込みアドレス発生部 5 で発生したアドレスに順次書込まれていく。この時点で、入力信号から 1 クロック以下のジッタが除去されるが、ベロシティエラーは除去されずに残留している。入力信号は、ベロシティエラーの影響により 1 H の後半部の長さが変動し、全体として 1 H の長さが正規の長さに対し短いあるいは長いものとなっている。

【0038】多相クロック切換部 10 では、1 H カウンタ 19 により、1 H 毎に書込みクロック WCK のカウントが行われ、そのカウント値 b がラッチ 20 を介して ROM 21 に送出される。すると、ROM 21 から、カウ

ント値 b に基づいて出力データ α およびセレクト信号 β が出力される。そのうち、出力データ α は、ラッチ 22 を介して制御カウンタ 23 にロードデータとして取り込まれる。制御カウンタ 23 では、ロードデータから補正クロック fCK のカウンタが開始され、最大カウント値 C までのカウントが終了すると、図 4 の (b) に示すようなゲートクロック GCK が発生する。

【0039】このとき、例えば、書込みクロック WCK の基準のカウント値 a を 1530 とし、 n 相クロック nCK の相数を 30 とした場合、実際のカウント値 b が 1527 であったとすると、前記の $a / \{n | a - b | \}$ の演算により、書込みクロック WCK の 17 クロック毎に 1 回ゲートクロック GCK が出力されることになる。

【0040】一方、基準パルス作成部 14 で基準 H に基づいて作成された基準パルス (同図の (a) に示す) は、ゲートクロック GCK とともにゲート作成部 16 に入力される。ゲート作成部 16 では、上記基準パルスおよびゲートクロック GCK のタイミングでシフトするゲートパルス $G_1 \sim G_n$ が作成される。

【0041】これらのゲートパルス $G_1 \sim G_n$ は、マルチプレクサ 17 を通過するが、セレクト信号 SEL が“H”レベルであるとき (同図の (c))、同図の (d) に示すように、ゲートパルス G_1 がゲートパルス GA_1 として出力され、以降、ゲートパルス $G_2 \sim G_n$ がそれぞれゲートパルス $GA_n \sim GA_2$ として出力される。また、セレクト信号 SEL が“L”レベルであるとき、ゲートパルス G_1 がゲートパルス GA_1 として出力され、以降、ゲートパルス $G_2 \sim G_n$ がそれぞれゲートパルス $GA_2 \sim GA_n$ として出力される。

【0042】ここで、多相クロック nCK の各クロック $CK_1 \sim CK_n$ は、出力ゲート部 18 において、上記のようにして得られたゲートパルス $GA_2 \sim GA_n$ が“H”レベルの期間に、ANDゲート $\&1 \sim \&n$ から出力される。このように、多相クロック nCK は、ゲートパルス $GA_2 \sim GA_n$ により切り換えられて出力され、ORゲート 27 を経て補正クロック fCK として出力される。

【0043】上記の動作においては、入力信号の 1 H 当たりの書込みクロック WCK のクロック数が基準値 (正規の 1 H 当たりの基準クロックのクロック数) より多くなったとき、例えば、図 5 に示すように、ゲートパルス GA_1 とゲートパルス GA_n とが切り換わるときに、多相クロック nCK のうち、位相が最も進んでいるクロック CK_1 から最も遅れているクロック CK_n に切り換わり、補正クロック fCK の位相が変わる。このような現象は、他のゲートパルス $GA_2 \sim GA_{n-1}$ が切り換わるときでも生じるため、補正クロック fCK は、カウント値 b に応じたゲートパルス $GA_2 \sim GA_{n-1}$ の切り換わりの間隔に基づいて、正規の 1 H 当たりのクロック数が基準値になるように補正される。

【0044】逆に、入力信号の1H当たりの書き込みクロックWCKのクロック数が基準値より少なくなったとき、例えば、図6に示すように、ゲートパルスGA1とゲートパルスGA2とが切り換わる時に、補正クロックfCKがクロックCK1からクロックCK2に切り換わり、このときのパルス幅が広がる。これにより、補正クロックfCKは、正規の1H当たりのクロック数が基準値になるように補正される。

【0045】このようにして作成された補正クロックfCKは、メモリ2・3、読出しアドレス発生部7および書き込みアドレス発生部6に送出される。すると、デジタルデータは、読出しアドレス発生部7により指定されたメモリ2のアドレスから補正クロックfCKのタイミングで順次読出される。このとき、デジタルデータが読出される間隔は、補正クロックfCKの位相が上記のように変化していることから、部分的に変化している。そして、このデジタルデータは、同じ補正クロックfCKのタイミングで書き込みアドレス発生部6により指定されたメモリ3のアドレスに順次書込まれる。この時点で、入力信号は、ベロシティエラーが除去されて、1Hが正規の長さに補正される。

【0046】さらに、上記のデジタルデータは、読出しアドレス発生部8により指定されたメモリ3のアドレスから基準クロックのタイミングで一定の間隔に順次読出され、D/A変換器4により同じく基準クロックでアナログに変換される。このように、入力信号は、2つのメモリ2・3を通過することにより時間軸が安定化され、出力信号として図示しない次段の回路に出力される。

【0047】以上述べたように、本実施例の構成では、入力信号の1H当たりの書き込みクロックWCKのクロック数が基準値からずれた場合、ずれたクロック数をベロシティエラーのデータとして、これに応じて補正クロックfCKの正規の1H当たりのクロック数が一定になるように、多相クロックnCKを切り換えて出力するようになっている。これにより、入力信号に含まれるベロシティエラーを高精度に除去することができ、ベロシティエラーによって再生画像に生じる乱れをなくすることができる。

【0048】

【発明の効果】本発明の時間軸補正装置は、以上のように、入力信号を保持する第1メモリと、この第1メモリから読出された入力信号を保持して基準クロックで読出す第2メモリと、基準クロックを基にして位相の異なるクロックを複数作成する多相クロック作成手段と、この多相クロック作成手段により作成されたクロックから入力信号に付加されている基準信号にほぼ同期するクロック

クを上記第1メモリに入力信号を書込むためのクロックとして選択するクロック選択手段と、このクロック選択手段により選択されたクロックの上記基準信号で区切られる期間当たりのクロック数に基づく間隔で上記多相クロック作成手段により作成されたクロックを切り換えることにより、所定期間当たりのクロック数が一定となるクロックを作成し、このクロックを上記第1メモリから入力信号を読出させるとともに上記第2メモリに入力信号を書込むためのクロックとして出力する多相クロック切換手段とを備えている構成である。

【0049】これにより、記第1メモリから入力信号を読出させるとともに上記第2メモリに入力信号を書込むためのクロックのクロック数が、上記の期間で一定となるように補正されるので、ベロシティエラーを高精度に除去することができる。それゆえ、ベロシティエラーによって変動する入力信号の1Hの長さを正確に補正し、再生画像に生じる特有の乱れをなくすることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例に係る時間軸補正装置の構成を示すブロック図である。

【図2】図1の時間軸補正装置における多相クロック切換部の構成を示す回路図である。

【図3】図2の多相クロック切換部におけるゲート作成部の構成を示す回路図である。

【図4】図2の多相クロック切換部の動作を示すタイムチャートである。

【図5】書き込みクロックのクロック数が基準値より多い場合における図2の多相クロック切換部の多相クロックの切り換え動作を示すタイムチャートである。

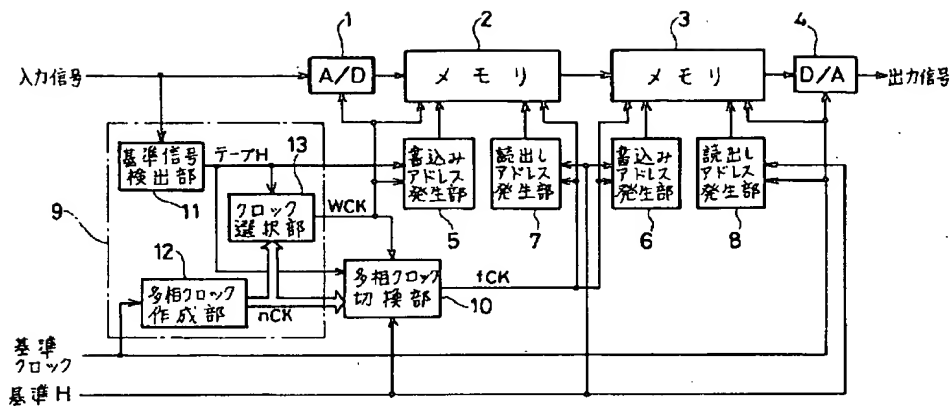
【図6】書き込みクロックのクロック数が基準値より少ない場合における図2の多相クロック切換部の多相クロックの切り換え動作を示すタイムチャートである。

【図7】従来の時間軸補正装置の構成を示すブロック図である。

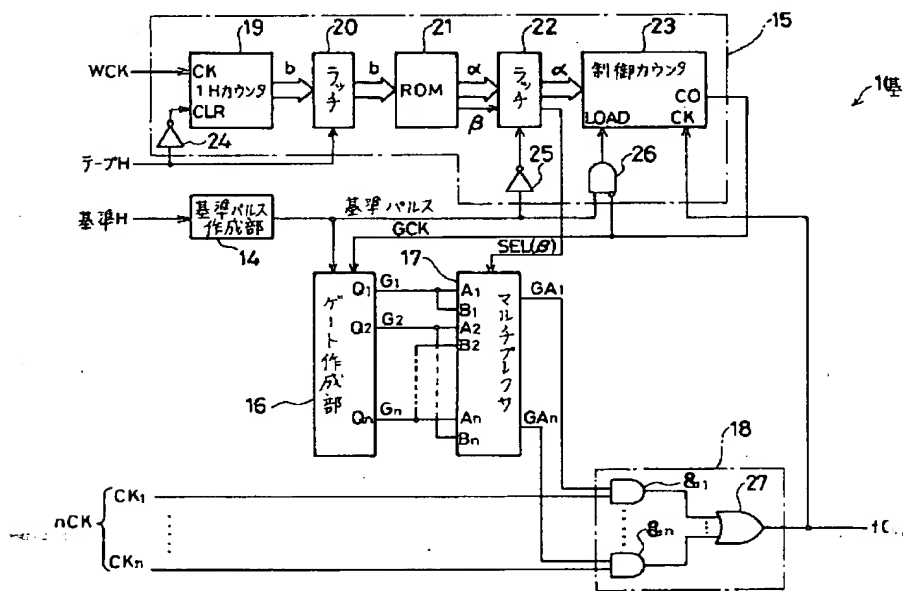
【符号の説明】

- 2 メモリ（第1メモリ）
- 3 メモリ（第2メモリ）
- 5・6 書き込みアドレス発生部
- 7・8 読出しアドレス発生部
- 10 多相クロック切換部（多相クロック切換手段）
- 11 基準信号検出部
- 12 多相クロック作成部（多相クロック作成手段）
- 13 クロック選択部（クロック選択手段）

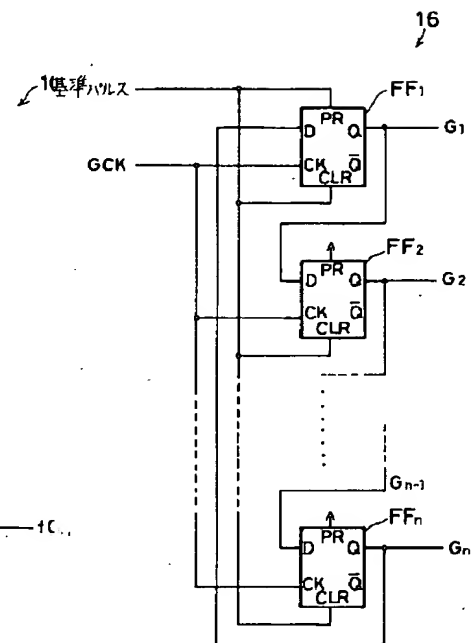
【图 1】



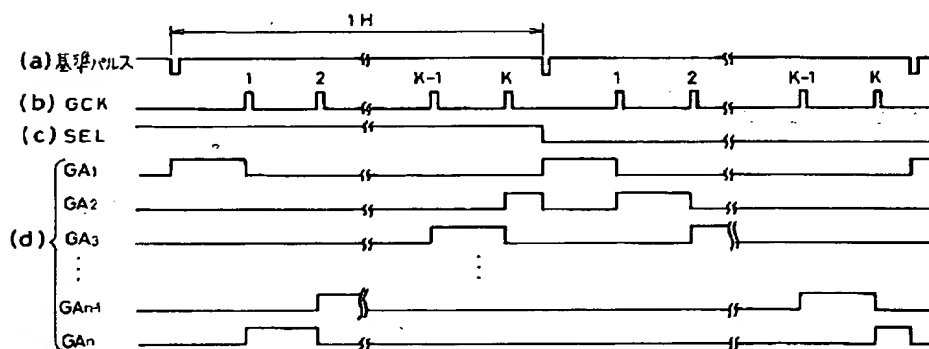
【圖 2】



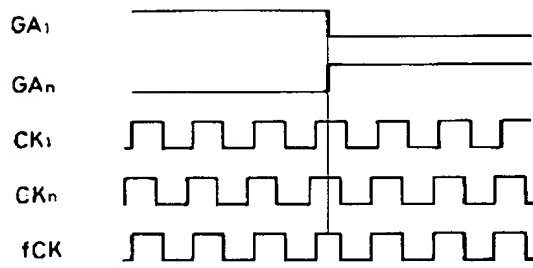
【図 3】



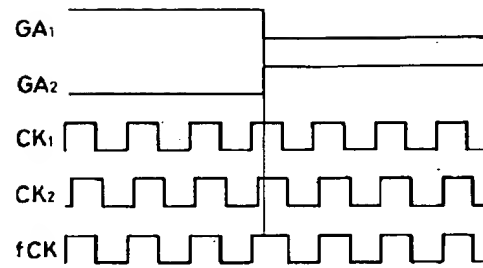
【图 4】



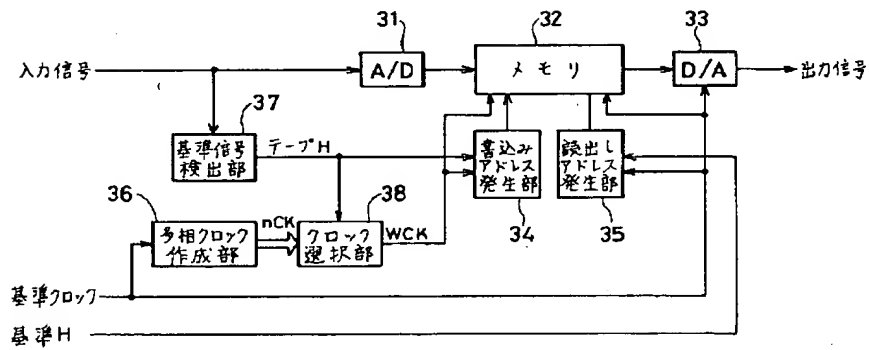
【図5】



【図6】



【図7】



Japanese Patent Publication Laid-Open No. 05-207423

[Claim(s)]

[Claim 1] The time-axis compensator characterized by providing the following The 1st memory holding an input signal The 2nd memory which holds the input signal read from this 1st memory, and is read by the reference clock A polyphase clock creation means to create two or more clocks with which phases differ based on a reference clock A clock selection means to choose the clock which synchronizes with the reference signal added to the input signal mostly from the clock created by this polyphase clock creation means as a clock for writing an input signal in the 1st memory of the above, By switching the clock created by the above-mentioned polyphase clock creation means at the interval based on the number of clocks per [which is divided with the above-mentioned reference signal of the clock chosen by this clock selection means] period Polyphase clock means for switching outputted as a clock for writing an input signal in the 2nd memory of the above while creating the clock with which the number of clocks per predetermined period becomes fixed and making an input signal read this clock from the 1st memory of the above.

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the time-axis compensator which removed the speed error which starts an amendment time-axis compensator and produces the time-axis of a regenerative signal in instant in detail in the equipment which has information regenerative functions, such as VTR.

[0002]

[Description of the Prior Art] For example, in VTR, if the time-axis error called jitter to a regenerative signal arises and it reproduces as it is by change of the relative velocity of a magnetic tape and the reproducing head etc., a reproduction picture will be confused by horizontal shake etc. For this reason, the time-axis compensator which removes a time-axis error is prepared in the conventional VTR so that it may explain below.

[0003] In this time-axis compensator, as shown in drawing 7 , by [which synchronized the input signal (regenerative signal) with the input signal] writing in, digitizing by A/D converter (inside of drawing, A/D) 31 with Clock WCK, and writing in memory 32, a jitter is removed, the input signal is read by the reference clock, and it changes into an analog by D/A converter (inside of drawing, D/A) 33, for example.

[0004] the write-in clock WCK of the above [the write-in address of memory 32] -- being

based -- writing in -- the address generation section 34 -- generating -- this write-in address generation section 34 -- a reclaimed-water common synchronizing signal (Tape H is called suitably henceforth) -- 1 -- it is cleared for every H. Moreover, the read-out address when reading an input signal is read from memory 32 based on a reference clock, it generates in the address generation section 35, and this read-out address generation section 35 is cleared by the stable criteria horizontal synchronizing signal (Criteria H are called suitably henceforth).

[0005] In such a time-axis compensator, in order to remove a jitter, it is necessary to synchronize the write-in clock WCK with an input signal correctly. Then, the above-mentioned time-axis compensator is equipped with the polyphase clock creation section 36, the reference signal detecting element 37, and the clock selection section 38, and it is constituted so that it may write in as follows and Clock WCK may be generated by these.

[0006] In the polyphase clock creation section 36, two or more polyphase clocks which had minute phase contrast based on the input signal and the stable reference clock asynchronous in phase are created. On the other hand, Tape H is detected by the reference signal detecting element 37 from an input signal, and it is extracted. And the clock near a reference signal in phase is chosen from a polyphase clock in the clock selection section 38, and it is outputted as a write-in clock WCK which synchronized with the input signal.

[0007]

[Problem(s) to be Solved by the Invention] It writes in, and when the instant-speed error produced among 1H called velocity error since [which is the same frequency as a reference clock] it was obtained as mentioned above produces Clock WCK, the length which is 1H of an input signal is changed, and the write-in clock WCK stops however, synchronizing with an input signal correctly. For this reason, the number of the write-in addresses for writing an input signal in memory 32 is changed, and un-arranging of it becoming impossible to remove a velocity error correctly arises.

[0008] If a velocity error accumulates, a regenerative signal will become what has a big jitter in the second half of 1H, and the length of 1H will change. And when the regenerative signal is displayed on a monitor, the disorder peculiar to a velocity error to which the right end of a reproduction picture becomes irregular will arise, and a quality-of-image fall will be caused.

[0009] this invention is made in view of the above-mentioned situation, removes a jitter including a velocity error to accuracy over the 1H whole, and aims at performing time-axis amendment with high precision.

[0010]

[Means for Solving the Problem] The 1st memory which holds an input signal in order that

the time-axis compensator of this invention may solve the above-mentioned technical problem, The 2nd memory which holds the input signal read from this 1st memory, and is read by the reference clock, A polyphase clock creation means to create two or more clocks with which phases differ based on a reference clock, A clock selection means to choose the clock which synchronizes with reference signals, such as a horizontal synchronizing signal added to the input signal, mostly from the clock created by this polyphase clock creation means as a clock for writing an input signal in the 1st memory of the above, By switching the clock created by the above-mentioned polyphase clock creation means at the interval based on the number of clocks of per a period (for example, 1H) divided with the above-mentioned reference signal of the clock chosen by this clock selection means The clock with which the number of clocks of per a predetermined period (for example, regular 1H) becomes fixed is created. While making an input signal read this clock from the 1st memory of the above, it is characterized by having the polyphase clock means for switching outputted as a clock for writing an input signal in the 2nd memory of the above.

[0011]

[Function] When the above-mentioned composition is applied to VTR, what synchronizes with the reference signal of a regenerative signal used as an input signal, for example, a horizontal synchronizing signal, by the clock selection means writes in, and it is chosen from two or more clocks (polyphase clock) created with the polyphase clock creation means as a clock. Although an input signal is written in the 1st memory with this write-in clock, it writes in at this time and even the jitter of one or less clock of a clock is removed, the length of the second half section of 1H is changed under the influence of a remaining velocity error, and the length of 1H becomes what changed to regular length as a whole.

[0012] Moreover, based on the number of clocks of per 1H of the input signal of the above-mentioned write-in clock, a polyphase clock is switched and outputted by polyphase clock means for switching so that the number of clocks of per a predetermined period (regular 1H) may become fixed. A clock with the fixed number of clocks of per regular 1H is created by controlling the timing of a switch of a polyphase clock according to a fluctuated part of the number of clocks of 1H scaling of an input signal, and specifically, changing the phase of a clock.

[0013] Therefore, 1H will be amended by regular length if an input signal is read from the 1st memory with the clock created as mentioned above. Then, if an input signal is written in the 2nd memory with the same clock, a velocity error will be removed at the time. And when an input signal is read from the 2nd memory by the stable reference clock at a fixed interval, a velocity error will be removed and time-axis amendment will be given with high precision.

[0014] Thus, the above-mentioned composition amends the number of clocks based on this,

and is made to perform the writing to read-out from the 1st memory of an input signal, and the 2nd memory as data of a velocity error of a fluctuated part of the number of clocks of per 1H of an input signal, after writing an input signal in the 1st memory using the clock which synchronizes with an input signal further using this clock. So, according to the above-mentioned composition, a velocity error is certainly removable.

[0015]

[Example] It will be as follows if this invention is explained based on drawing 1 or drawing 6 about one example applied to the time-axis compensator of VTR.

[0016] The time-axis compensator concerning this example is constituted by A/D converter (inside of drawing, A/D) 1, memory 2-3, D/A converter (inside of drawing, D/A) 4, the write-in address generation section 5-6, the read-out address generation section 7-8, the write-in clock generation section 9, and the polyphase clock change section 10 as shown in drawing 1.

[0017] A/D converter 1 is a circuit which changes the regenerative signal as an input signal into digital one, and performs sampling with the write-in clock WCK generated in the write-in clock generation section 9. The memory 2 as the 1st memory is the semiconductor memory holding the digital data outputted from A/D converter 1, and the memory 3 as the 2nd memory is the semiconductor memory holding the digital data read from memory 2. The above-mentioned memory 2-3 performs the writing and read-out of digital data per line. D/A converter 4 is a circuit which changes into an analog the digital data read from memory 3 by the reference clock.

[0018] In case the write-in address generation section 5 makes digital data write in memory 2, it is an address counter which writes in the write-in address given to memory 2, and is generated based on Clock WCK. This write-in address generation section 5 is cleared to the timing of the tape H detected by the reference signal detecting element 11 of the write-in clock generation section 9 mentioned later, and controls the generating start stage of the write-in address to every 1H.

[0019] In case the read-out address generation section 7 makes digital data read from memory 2, it is an address counter generated based on the amendment clock fCK which generates the read-out address given to memory 2 in the polyphase clock change section 10. This read-out address generation section 7 is cleared to the timing of Criteria H, and controls the generating start stage of the write-in address to every 1H.

[0020] The write-in address generation section 6 is an address counter which generates the write-in address given to memory 3 based on the amendment clock fCK. Moreover, the read-out address generation section 8 is an address counter which generates the read-out address given to memory 3 based on a reference clock. Both the above-mentioned write-in

address generation section 6 and the read-out address generation section 8 are cleared to the timing of Criteria H, and control the generating start stage of read-out and the write-in address to every 1H.

[0021] The write-in clock generation section 9 as a write-in clock generation means consists of the reference signal detecting element 11, the polyphase clock creation section 12, and the clock selection section 13.

[0022] The reference signal detecting element 11 is a circuit which takes out the tape H as a reference signal added to the regenerative signal. the polyphase clock creation section 12 is slight in the phase of a reference clock -- every -- it is the circuit which creates n polyphase clocks nCK with which you make it equally delayed and phases differ The clock selection section 13 is a circuit which writes in the clock near the tape H detected by the reference signal detecting element 11 in phase, and is chosen from the polyphase clock nCK created in the polyphase clock creation section 12 as a clock WCK.

[0023] The polyphase clock change section 10 as polyphase clock means for switching switches the polyphase clock nCK created by the polyphase clock creation section 12 based on the number of clocks of the write-in clock WCK of per 1H of an input signal, and it is constituted so that the amendment clock fCK used as the write-in clock given to the read-out clock and memory 3 which are given to memory 2 may be created.

[0024] The above-mentioned polyphase clock change section 10 consists of the reference pulse creation section 14, the gate clock generation section 15, the gate creation section 16, a multiplexer 17, and the output gate section 18, as shown in drawing 2 . The reference pulse creation section 14 is a circuit where pulse width creates the negative reference pulse of 1H period by the same pulse width as one clock of a reference clock based on Criteria H.

[0025] The gate clock generation section 15 is a circuit which generates the gate clock GCK given to the gate creation section 16 based on the write-in clock WCK and Tape H. The gate clock generation section 15 is constituted by 1H counter 19, latch 20, ROM21, latch 22, a sequence control counter 23, the NOT gate 24-25, and the isonicotinic-acid-hydrazide (INHIBIT) gate 26.

[0026] 1H counter 19 is a counter which carries out counting of the number of clocks of the write-in clock WCK between 1H until Tape H is inputted into the clear terminal CLR through the NOT gate 24 and it is cleared on Tape H while writing in the clock terminal creatine kinase and inputting Clock WCK. Latch 20 holds counted value b of 1H counter 19 to the timing of Tape H.

[0027] ROM21 constitutes the operation table which makes input data counted value b of 1H counter, and stores output-data alpha of the result of an operation by the formula (1) based on the above-mentioned counted value b. In addition, in the formula (1), the maximum

counted value until the sequence control counter 23 which sets counted value of the reference clock of per regular 1H to a, and mentions it later counts up from 0 and the output of the carryout terminal CO serves as "H" level is set to C, and n is made into the source resultant pulse number of the polyphase clock nCK. Maximum counted value C is set to \$FFF when a sequence control counter 23 is a 12-bit counter.

$$\text{Alpha} = C - a / \{n|a-b|\} \text{ -- (1)}$$

However, in an upper formula, it is referred to as $\alpha = 0$ at the time of $a-b=0$.

[0028] Here, a/n expresses the number of clocks of the reference clock as which counted value a to counted value b determines the interval by which the gate clock GCK (output of the carryout terminal CO) is outputted to 1 clock ***** case.

[0029] For example, counted value a is set to 1530, a source resultant pulse number n is set to 30, then $a/n=51$, and the gate clock GCK is made to output from a sequence control counter 23 every 51 of a reference clock. Therefore, the number of clocks of the reference clock which defines the interval to which the gate clock GCK is outputted to the difference of counted value a and counted value b is called for by $a/\{n|a-b|\}$. Moreover, according to the operation of a formula (1), output-data alpha becomes so large that the gap to counted value a of counted value b is large, and becomes the value to which the gate clock GCK is made to output at a shorter interval.

[0030] Moreover, while ROM21 serves as "H" level according to the size of counted value b at the time of $a-b<0$, it outputs the selection signal beta which serves as "L" level at the time of $a-b\geq 0$. In addition, since states should just differ in the time of $a-b<0$ and $a-b\geq 0$, the selection signal beta does not interfere, even if a state is switched by the relation contrary to the above.

[0031] Latch 22 holds output-data [of ROM21] alpha, and the selection signal beta to the timing of the reference pulse reversed by the NOT gate 25. A sequence control counter 23 is a counter which counts the amendment clock fCK, and the output pulse of the isonicotinic-acid-hydrazide gate 26 is inputted into the load terminal LOAD. This sequence control counter 23 outputs the gate clock GCK of "H" level from the carryout terminal CO, whenever the count from loaded output-data alpha to maximum counted value C is completed, while loading output-data alpha which passed through the latch 22 by the output pulse of the isonicotinic-acid-hydrazide gate 26. The above-mentioned isonicotinic-acid-hydrazide gate 26 is the gate which takes the OR of a reference pulse and the gate clock GCK.

[0032] The gate creation section 16 is flip-flop FF1 -FFn, as shown in drawing 3 . It is constituted. Flip-flop FF1 -FFn While the gate clock GCK is inputted into the clock terminal creatine kinase, a reference pulse is inputted into the clear terminal CLR, and it is flip-flop

FF2 -FFn. The presetting terminal PR is being fixed to "H" level. Moreover, flip-flop FF 1 A reference pulse is inputted into the presetting terminal PR. Above-mentioned flip-flop FF1 -FFn Each output terminal Q is the flip-flop FF 2 of the next step - FFn and FF1. It connects with the input terminal D.

[0033] Thus, the gate creation section 16 constituted is flip-flop FF1 -FFn. Gate pulse G1 -Gn shifted from each output terminal Q one by one with the above-mentioned gate clock GCK It generates. That is, when a reference pulse is inputted, it is a gate pulse G1. While being set to "H" level, it is gate pulse G2 -Gn. Gate pulse G2 -Gn which is set to "L" level and is henceforth set to "H" level for every standup of the gate clock GCK It is outputted one by one.

[0034] In a multiplexer 17, it is a gate pulse G1. An input terminal A1 and B1 It is inputted and is a gate pulse G2. An input terminal A2 and Bn It is inputted and is gate pulse G3 -Gn henceforth. It is input terminal A3 -An, respectively. While being inputted, they are input terminal Bn-1 - B-2. It is inputted. Moreover, when the selection signal SEL (beta) of a multiplexer 17 is "H" level, As shown in the following (A), it is input terminal B1 -Bn. Gate pulse G1 and Gn -G2 inputted While outputting, when the selection signal SEL is "L" level, As shown in the following (B), it is input terminal A1 -An. Gate pulse G1 -Gn by which a shell input is carried out It outputs.

(A) GA1 =G1, GA2 =Gn, GA3 =Gn-1, -- GAn =G2 (B) GA1 =G1, GA2 =G2, GA3 =G3, -- GAn =Gn In addition When a multiplexer 17 is that from which the selection signal SEL switches to the above by the antiphase, Gate pulse G1 -Gn When the selection signal SEL is "L" level, it outputs by correspondence of (A), and when the selection signal SEL is "H" level, it is constituted so that it may output by correspondence of (B).

[0035] The output gate section 18 is AND-gate &1 - &n. It consists of the OR gate 27. AND-gate &1 - &n one input terminal -- respectively -- gate pulse GA1 -GAn of a multiplexer 17 it inputs -- having -- the input terminal of another side -- respectively -- the polyphase clock nCK -- each -- clock creatine-kinase1 -CKn It is inputted. Moreover, the OR gate 27 is AND-gate &1 - &n. An output signal is inputted.

[0036] In the above-mentioned composition, if an input signal is inputted, Tape H will be extracted by the reference signal detecting element 11. On the other hand, a reference clock is delayed by the polyphase clock creation section 12, and the polyphase clock nCK is created in it. Then, in the clock selection section 13, the clock which synchronizes with Tape H is chosen from the polyphase clock nCK, this clock writes in, and it is outputted as a clock WCK.

[0037] An input signal is written in by A/D converter 1, it is digitized with Clock WCK, serves as digital data, is written in memory 2, and is written in to the timing of Clock WCK. At this

time, the input signal is written in the address which wrote in based on Tape H and the write-in clock WCK, and was generated in the address generation section 5 one by one. Although the jitter of one or less clock is removed from an input signal at this time, the velocity error remains without being removed. The length of the second half section of 1H is changed under the influence of a velocity error, and as a whole, to length with the regular length of 1H, an input signal is short or long.

[0038] In the polyphase clock change section 10, it writes in every 1H, the count of Clock WCK is performed by 1H counter 19, and the counted value b is sent out to ROM21 through latch 20. Then, based on ROM21 to counted value b, output-data alpha and the selection signal beta are outputted. Among those, output-data alpha is incorporated by the sequence control counter 23 as load data through latch 22. In a sequence control counter 23, after the counter of the amendment clock fCK is started from load data and the count to maximum counted value C is completed, the gate clock GCK as shown in (b) of drawing 4 is generated.

[0039] When it is made into 1530 at this time, for example, counted value a of the criteria of the write-in clock WCK, and the source resultant pulse number of n phase clock nCK is set to 30, supposing actual counted value b is 1527, the 1-time gate clock GCK will be outputted by the aforementioned operation of $a/\{n|a-b|\}$ every 17 of the write-in clock WCK clocks.

[0040] On the other hand, the reference pulse (shown in (a) of this drawing) created based on Criteria H in the reference pulse creation section 14 is inputted into the gate creation section 16 with the gate clock GCK. Gate pulse G1 -Gn shifted to the timing of the above-mentioned reference pulse and the gate clock GCK in the gate creation section 16 It is created.

[0041] these gate pulse G1 -Gn(s) although a multiplexer 17 is passed, when the selection signal SEL is "H" level ((c) of this drawing), it is shown in (d) of this drawing -- as -- gate pulse G1 Gate pulse GA1 ***** -- it outputs -- having -- henceforth -- gate pulse G2 -Gn respectively -- gate pulse GAn -GA2 ***** -- it is outputted Moreover, when the selection signal SEL is "L" level, it is a gate pulse G1. Gate pulse GA1 It is outputted by carrying out and is gate pulse G2 -Gn henceforth. It is gate pulse GA2 -GAn, respectively. It is outputted by carrying out.

[0042] here -- the polyphase clock nCK -- each -- clock creatine-kinase1 -CKn Gate pulse GA2 -GAn obtained as mentioned above in the output gate section 18 the period of "H" level -- AND-gate &1 - &n from -- it is outputted Thus, the polyphase clock nCK is gate pulse GA2 -GAn. It is switched, and it is outputted and is outputted as an amendment clock fCK through the OR gate 27.

[0043] the above-mentioned operation -- setting -- 1 of an input signal -- when the number of clocks of the write-in clock WCK per H increases more than a reference value (1 the regular

number of clocks of the reference clock per H), it is shown in drawing 5 -- as -- gate pulse GA1 Gate pulse GAn Clock creatine kinase 1 with which the phase is progressing most among the polyphase clocks nCK when switching from -- clock CKn most late It switches and the phase of the amendment clock fCK changes. gate pulse GA2 -GAn-1 of others [phenomenon / such] Gate pulse GA2 -GAn-1 / clock / amendment / fCK] corresponding to counted value b since it was generated even when switching the switching interval -- being based -- regular 1 -- it is amended so that the number of clocks per H may become a reference value

[0044] On the contrary, as it is shown in drawing 6 when the number of clocks of the write-in clock WCK of 1H scaling of an input signal becomes less than a reference value for example, it is a gate pulse GA1. Gate pulse GA2 When switching, the amendment clock fCK is a clock creatine kinase 1. Shell clock creatine kinase 2 It switches and the pulse width at this time becomes large. Thereby, the amendment clock fCK is amended so that the number of clocks of per regular 1H may become a reference value.

[0045] Thus, the created amendment clock fCK is sent out to memory 2-3, the read-out address generation section 7, and the write-in address generation section 6. Then, digital data is read from the address of the memory 2 specified by the read-out address generation section 7 one by one to the timing of the amendment clock fCK. At this time, the interval from which digital data is read is changing from the phase of the amendment clock fCK changing as mentioned above partially. And this digital data is written in the address of the memory 3 which wrote in to the timing of the same amendment clock fCK, and was specified by the address generation section 6 one by one. At this time, a velocity error is removed and, as for an input signal, is amended by length with regular 1H.

[0046] Furthermore, the above-mentioned digital data is read from the address of the memory 3 specified by the read-out address generation section 8 to a fixed interval one by one to the timing of a reference clock, and, similarly is changed into an analog by D/A converter 4 by the reference clock. Thus, by passing two memory 2-3, a time-axis is stabilized and an input signal is outputted to the circuit of the next step which is not illustrated as an output signal.

[0047] Like, with the composition of this example, when [which was described above] the number of clocks of the write-in clock WCK of per 1H of an input signal shifts from a reference value, the polyphase clock nCK is switched and it outputs so that the number of clocks of per 1H with the regular amendment clock fCK may become fixed as data of a velocity error of the number of clocks shifted according to this. The velocity error included in an input signal can be removed with high precision by this, and the disorder produced in a reproduction picture by velocity error can be abolished.

[0048]

[Effect of the Invention] The 1st memory in which the time-axis compensator of this invention holds an input signal as mentioned above, The 2nd memory which holds the input signal read from this 1st memory, and is read by the reference clock, A polyphase clock creation means to create two or more clocks with which phases differ based on a reference clock, A clock selection means to choose the clock which synchronizes with the reference signal added to the input signal mostly from the clock created by this polyphase clock creation means as a clock for writing an input signal in the 1st memory of the above, By switching the clock created by the above-mentioned polyphase clock creation means at the interval based on the number of clocks per [which is divided with the above-mentioned reference signal of the clock chosen by this clock selection means] period While creating the clock with which the number of clocks per predetermined period becomes fixed and making an input signal read this clock from the 1st memory of the above, it is composition equipped with the polyphase clock means for switching outputted as a clock for writing an input signal in the 2nd memory of the above.

[0049] Since it is amended by this so that the number of clocks of the clock for writing an input signal in the 2nd memory of the above may become fixed in the above-mentioned period while making an input signal read from the 1st memory of an account, a velocity error is removable with high precision. So, the length of 1H of the input signal changed by velocity error is amended correctly, and the effect that the characteristic disorder produced in a reproduction picture can be abolished is done.

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the composition of the time-axis compensator concerning one example of this invention.

[Drawing 2] It is the circuit diagram showing the composition of the polyphase clock change section in the time-axis compensator of drawing 1.

[Drawing 3] It is the circuit diagram showing the composition of the gate creation section in the polyphase clock change section of drawing 2.

[Drawing 4] It is the timing diagram which shows operation of the polyphase clock change section of drawing 2.

[Drawing 5] It is the timing diagram which shows switch operation of the polyphase clock of the polyphase clock change section of drawing 2 when there are more clocks of a write-in clock than a reference value.

[Drawing 6] It is the timing diagram which shows switch operation of the polyphase clock of the polyphase clock change section of drawing 2 when there are few clocks of a write-in clock than a reference value.

[Drawing 7] It is the block diagram showing the composition of the conventional time-axis compensator.

[Description of Notations]

2 Memory (1st Memory)

3 Memory (2nd Memory)

5-6 Write-in address generation section

7-8 Read-out address generation section

10 Polyphase Clock Change Section (Polyphase Clock Means for Switching)

11 Reference Signal Detecting Element

12 Polyphase Clock Creation Section (Polyphase Clock Creation Means)

13 Clock Selection Section (Clock Selection Means)